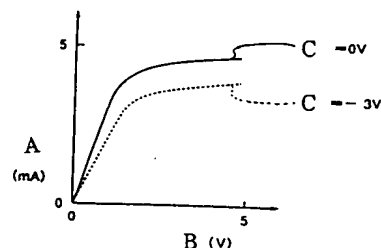
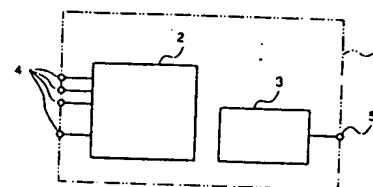


(54) MOS TYPE SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 3-82151 (A) (43) 8.4.1991 (19) JP
 (21) Appl. No. 64-219427 (22) 25.8.1989
 (71) NEC CORP (72) TADAHICO HORIUCHI
 (51) Int. Cl⁵. H01L27/088, H01L27/04

PURPOSE: To restrain the power consumption of a semiconductor integrated circuit of this design when it is on standby and to enhance it in operating speed when it is in an active state so as to enable it to be operable at a high speed and low in power consumption as a whole by a method wherein a reverse bias voltage of a board or a well is changed according to that an inner circuit is in a standby state or in an active state.

CONSTITUTION: When an inner circuit 2 is in an active state or a chip selected terminal 5 is in an enabling state, a bias voltage of 0V is given to a substrate by a substrate bias voltage generating circuit 3. Therefore, a drain current is made to increase and the N-channel transistor of the inner circuit 2 can be made high in operating speed. When the inner circuit 2 is in a standby state or the chip select terminal 5 is in a disabled state, a substrate bias voltage of -3V is given to the substrate by the substrate bias voltage generating circuit 3. Therefore, the sub-threshold current of the inner circuit 2 can be made 10^{-12} A or below. Therefore, a semiconductor integrated circuit of this design can be made small enough in power consumption.



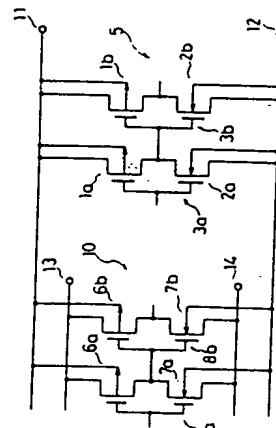
A: drain current. B: drain voltage. C: substrate bias

(54) MOS TYPE SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 3-82152 (A) (43) 8.4.1991 (19) JP
 (21) Appl. No. 64-219428 (22) 25.8.1989
 (71) NEC CORP (72) TADAHICO HORIUCHI
 (51) Int. Cl⁵. H01L27/092, H01L27/108

PURPOSE: To enable two or more circuits whose gate oxide films are different from each other in thickness to be adequate in threshold voltage by a method wherein a reverse bias voltage applied between the source and the substrate or the source and the well of a second MOS transistor is made larger than that applied between those of a first MOS transistor.

CONSTITUTION: First P-channel MOS transistors 1a and 1b and first P channel MOS transistor 2a and 2b, which constitute an input-output circuit 5, are so set as to be provided with a gate oxide film, for instance, 15nm in thickness respectively, and a power source voltage of 5V is applied to them so as to keep them conformable to each other in level of input or output. Second P-channel MOS transistors 6a and 6b and second N-channel MOS transistors 7a and 7b, which constitute an inner circuit 10, are provided with a gate oxide film which is set to, for instance, 10nm in thickness respectively, and a power source voltage of 2.2V is applied to them so as to protect the gate oxide films against damage due to micronization. Therefore, the threshold voltage of a MOS transistor can be set to an adequate value through a bias voltage.

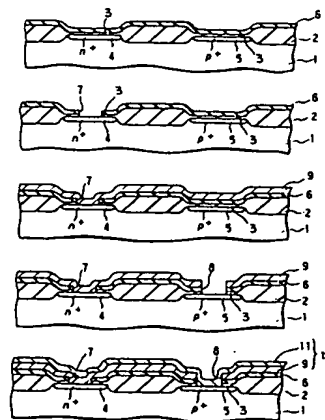


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 3-82153 (A) (43) 8.4.1991 (19) JP
 (21) Appl. No. 64-218849 (22) 25.8.1989
 (71) SONY CORP (72) HIDEAKI KURODA(1)
 (51) Int. Cl⁵. H01L27/092, H01L21/3205

PURPOSE: To prevent the polycrystalline silicon film of a polycide film from decreasing in contact property due to the segregation of impurity even if the polycrystalline silicon is subjected to a thermal treatment of high temperature by a method wherein the polycrystalline silicon film is connected to an N-type diffusion region but not to a P-type diffusion region, and the polycide film is connected to the P-type diffusion region.

CONSTITUTION: A polycrystalline silicon film 9 is formed through a CVD method, and then N-type impurity such as phosphorus or arsenic is implanted into the polycrystalline silicon film 9, whereby the polycrystalline silicon film 9 is made conductive. Then, a high melting point metal silicide film such as a tungsten silicide film 11 is formed. The silicide film 11 is connected to a P⁺-type diffusion region 5 through a contact hole 8. Then, a polycide film 12 composed of the silicide film 11 and the polycrystalline silicon film 9 is selectively etched to form a polycide wiring film 12. The polycide wiring film 12 is connected to a P⁺-type diffusion region 4 through the lower polycrystalline silicon film 9 and connected to a P⁺-type diffusion region 5 through the upper silicide film 11.



⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平3-82152

⑬ Int.Cl.⁹
H 01 L 27/092
27/108

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)4月8日

7735-5F H 01 L 27/08 3 2 1 D
8624-5F 27/10 3 2 1

審査請求 未請求 請求項の数 4 (全5頁)

⑮ 発明の名称 MOS型半導体集積回路

⑯ 特 願 平1-219428

⑰ 出 願 平1(1989)8月25日

⑱ 発 明 者 堀 内 忠 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

MOS型半導体集積回路

2. 特許請求の範囲

(1) 第1の電源電圧で動作する第1のMOSトランジスタと、前記第1の電源電圧よりも小さな第2の電源電圧で動作し前記第1のMOSトランジスタよりもゲート酸化膜が薄い第2のMOSトランジスタとを、シリコン単結晶基板上に集積化してなるMOS型半導体集積回路において、前記第2のMOSトランジスタは、前記第1のMOSトランジスタよりも大きなソース・基板間逆バイアス電圧が印加されたものであることを特徴とするMOS型半導体集積回路。

(2) 第1の電源電圧で動作する第1のMOSトランジスタと、前記第1の電源電圧よりも小さな第2の電源電圧で動作し前記第1のMOSトランジスタよりもゲート酸化膜が薄い第2のMOSトランジスタとを、シリコン単結晶基板上に集積化してなるMOS型半導体集積回路において、前

記第2のMOSトランジスタは、前記第1のMOSトランジスタよりも大きなソース・ウェル間逆バイアス電圧が印加されたものであることを特徴とするMOS型半導体集積回路。

(3) 前記第1のMOSトランジスタは、入出力回路を構成するものであることを特徴とする請求項1又は2に記載のMOS型半導体集積回路。

(4) 前記第2のMOSトランジスタは、メモリセルを構成するものであることを特徴とする請求項1又は2に記載のMOS型半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS型半導体集積回路に関し、特に内部回路が入出力回路に比べて低い電源電圧で動作するMOS型半導体集積回路に関する。

〔従来の技術〕

近年、MOS型半導体集積回路の高性能化は、MOSトランジスタの素子寸法をほぼ比例縮小することにより行われてきた。即ち、MOSトランジスタのゲート長を $1/k$ ($k>1$) 倍すると共

に、ゲート酸化膜厚を $1/k$ 倍、基板濃度を k 倍することによって、より微細なMOSトランジスタが得られる。これまでは、MOSトランジスタを微細化しても、入出力レベルの整合性を保つため、使用する電源電圧は5V動作のままであった。

しかしながら、MOSトランジスタを微細化してゲート酸化膜に10nm以下の厚さの酸化膜が使用されるようになると、ゲート酸化膜に過度の電界が加わることを避けるため、電源電圧を例えば3.3V等に引き下げざるを得ない。そこで、入出力レベルの整合性を保持しつつ、MOSトランジスタの微細化を図るために、入出力回路を構成するMOSトランジスタのみそのゲート酸化膜を例えば15nm程度と厚くして、5V電源動作に耐え得るようにし、内部回路のゲート膜厚10nm以下のMOSトランジスタは、3.3V電源で動作させるようにMOS型半導体集積回路を構成することがなされている。

〔発明が解決しようとする課題〕

しかしながら、上述した従来のMOS型半導体

集積回路では、製造工程が増加するという問題点がある。即ち、入出力回路と内部回路とでは、MOSトランジスタのゲート酸化膜厚が異なるので、両者の閾値電圧をほぼ同じにするためには、基板濃度を異ならせる必要がある。このためには、例えばフォトリソグラフィとイオン注入工程とを1つ余計に行う必要がある。これは製造原価の増大につながる。

本発明はかかる問題点に鑑みてなされたものであって、製造工程を何ら増すことなしに、ゲート酸化膜厚の異なる複数の回路の閾値電圧を適正化することが可能なMOS型半導体集積回路を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るMOS型半導体集積回路は、第1の電源電圧で動作する第1のMOSトランジスタと、前記第1の電源電圧よりも小さな第2の電源電圧で動作し前記第1のMOSトランジスタよりもゲート酸化膜が薄い第2のMOSトランジスタとを、シリコン単結晶基板上に集積化してなるM

OS型半導体集積回路において、前記第2のMOSトランジスタは、第1のMOSトランジスタよりも大きなソース・基板間又はソース・ウェル間逆バイアス電圧が印加されたものであることを特徴とする。

なお、前記第1のMOSトランジスタとしては、例えば入出力回路等が挙げられ、前記第2のMOSトランジスタは、例えばメモリセル等が挙げられる。

〔作用〕

本発明によれば、第1のMOSトランジスタよりもゲート酸化膜が薄い第2のMOSトランジスタには、第1のMOSトランジスタよりも小さなソース・基板間又はソース・ウェル間逆バイアス電圧が印加されているので、そのバイアス電圧値によってMOSトランジスタ閾値電圧を適正な値に設定することができる。このため、ゲート酸化膜厚の異なる第1及び第2のMOSトランジスタの閾値をその基板濃度を変えることなしにほぼ同一の値に設定することができる。したがって、不

純物拡散のためのフォトリソグラフィ工程及びイオン注入工程等を追加する必要がなく、製造原価の低減を図ることができる。

〔実施例〕

以下、添付の図面を参照しながら本発明の実施例について説明する。

第1図は本発明の第1の実施例に係るMOS型半導体集積回路の回路図である。

第1のPチャネルMOSトランジスタ1a、1bと第1のNチャネルMOSトランジスタ2a、2bとを相補対接続してなるCMOSインバータ回路3a、3bは、継続接続されて入出力回路5を構成している。また、第2のPチャネルMOSトランジスタ6a、6bと第2のNチャネルMOSトランジスタ7a、7bとを相補対接続してなるCMOSインバータ回路8a、8bは、継続接続されて内部回路10を構成している。

入出力回路5を構成する第1のPチャネルMOSトランジスタ1a、1b及び第1のNチャネルMOSトランジスタ2a、2bは、そのゲート酸

化膜厚が例えば15nmに設定されており、入出力レベルの整合性を保つため、例えば5Vの電源電圧が印加されたものとなっている。また、内部回路10を構成する第2のPチャネルMOSトランジスタ6a、6b及び第2のNチャネルMOSトランジスタ7a、7bは、そのゲート酸化膜厚が例えば10nmに設定されており、微細化によるゲート酸化膜の破壊を防止するため、例えば2.2Vの電源電圧が印加されたものとなっている。

具体的には、第1のPチャネルMOSトランジスタ1a、1bのソースは、例えば5Vの第1の高位側電源端子11に接続され、第1のNチャネルMOSトランジスタ2a、2bのソースは、例えば0Vの第1の低位側電源端子12に接続され、第2のPチャネルMOSトランジスタ6a、6bのソースは、2.5~5.0Vの範囲にある例えば3.8Vの第2の高位側電源端子13に接続され、第2のNチャネルMOSトランジスタ7a、7bのソースは、0~2.5Vの範囲にある例えば1.4Vの第2の低位側電源端子14に接続さ

れている。これにより、入出力回路5は5V、内部回路10は2.2Vで動作をする。

また、第1のPチャネルMOSトランジスタ1a、1b及び第1のNチャネルMOSトランジスタ2a、2bの各サブストレート(Nウェル及びPウェル)は、夫々ソースと同じ第1の高位側電源端子11及び第1の低位側電源端子12に接続されている。これに対し、第2のPチャネルMOSトランジスタ6a、6b及び第2のNチャネルMOSトランジスタ7a、7bの各サブストレート(Nウェル及びPウェル)は、夫々ソースとは異なる第1の高位側電源端子11及び第1の低位側電源端子12に接続されている。この接続によって、MOSトランジスタ6a、6b、7a、7bには、夫々絶対値で1.4Vの基板バイアスが加えられている。

以上のように構成されたMOS型半導体集積回路では、内部回路10は、電源電圧2.2Vで動作をするので、MOSトランジスタ6a、6b、7a、7bのゲート酸化膜にかかる電圧は最大で

も2.2Vである。よって、10nmのゲート酸化膜でも十分にTDDDB等の信頼性を確保することができる。

ところで、いま、第1のNチャネルMOSトランジスタ2a、2bの基板濃度は、基板バイアス0Vで閾値電圧が0.55Vになるように最適化されているものとする。この基板濃度のままでゲート酸化膜のみを15nmから10nmに薄くすると、閾値電圧が0.35Vに下がりすぎてしまい、サブスレッショルド電流のため、MOS論理回路には適さないトランジスタとなってしまう。しかし、本実施例の回路においては、ゲート酸化膜が薄い第2のNチャネルMOSトランジスタ7には、ソース電位に対し-1.4Vの基板バイアスが加えられているので、閾値電圧は0.75Vとなり、動作上全く問題がないNチャネルMOSトランジスタ7を得ることができる。

PチャネルMOSトランジスタ1、6について全く同様のことがいえる。

即ち、本実施例の回路によれば、ゲート酸化膜

が異なる2種類のMOSトランジスタ1、2及び6、7を使用しているのにも拘らず、閾値電圧制御の不純物導入工程を増やすことなしに、閾値電圧を最適化することができる。

第2図は本発明をダイナミックRAMに適用した第2の実施例の回路図である。

例えば5Vの第1の高位側電源端子21と0Vの第1の低位側電源端子22との間には、PチャネルMOSトランジスタ23aと第1のNチャネルMOSトランジスタ24とが相補対接続され、入出力回路25を構成している。また、例えば2Vの第2の高位側電源端子26と前記第1の低位側電源端子22との間には、PチャネルMOSトランジスタ23bと、第2のNチャネルMOSトランジスタ27aとが相補対接続されて内部回路28を構成している。また、第1の低位側電源端子22には、メモリセル29を構成するキャパシタ30の一端が接続されている。このキャパシタ30の他端は、メモリセル29のトランスファゲートを構成する第2のNチャネルMOSトランジ

スタ27bを介してビット線31に接続されている。また、第2のNチャネルMOSトランジスタ27bのゲートはワード線32に接続されている。

一方、第1の低位側電源端子22は、基板バイアス発生ブロック33の入力端に接続されている。この基板バイアス発生ブロック33は、0Vの電源電圧を入力して、例えば-1.8Vの基板バイアス電圧を発生する。この基板バイアス電圧は、第2のNチャネルMOSトランジスタ27a、27bの基板電位として与えられている。

高集積化が要求されるこの種のメモリでは、メモリセル29及び内部回路28を構成する第2のNチャネルMOSトランジスタ27a、27bとして、例えばゲート酸化膜厚が7nmのMOSトランジスタが使用されており、0.4μmの設計ルールに対応している。一方、PチャネルMOSトランジスタ23a、23bと、入出力回路25の第1のNチャネルMOSトランジスタ24とは、15nm厚のゲート酸化膜が使用されている。つまり、メモリセル29のトランスファーゲートのみ

2Vの低電圧動作に対応している。

ここで、第1のNチャネルMOSトランジスタ24と第2のNチャネルMOSトランジスタ27a、27bとは、夫々ゲート酸化膜厚が15nmと7nmというように異なったものであるが、第2のNチャネルMOSトランジスタ27a、27bの基板バイアスとして-1.8Vが印加されているので、閾値電圧は両者とも0.8Vに制御されている。この場合、不純物導入工程を付加する必要はない。このことは、製造原価の低減を強く要求されるダイナミックRAMにとって本発明が極めて効果的であることを示している。

【発明の効果】

以上述べたように、本発明はゲート酸化膜厚が異なる複数のMOSトランジスタが集積されたMOS半導体集積回路において、ゲート酸化膜厚が薄い方のMOSトランジスタの基板バイアス電圧又はウェルバイアス電圧を適正な値に制御することにより、各トランジスタの閾値を適正な値に設定するようにしたから、閾値調整のために、製造

工程の増加を伴うトランジスタ毎の基板濃度の最適化を行う必要が無い。このため、製造原価の低減とトランジスタの閾値電圧の最適化とを同時に図ることができるという効果を奏する。

4. 図面の簡単な説明

第1図は本発明の第1の実施例に係るMOS型半導体集積回路の要部を示す回路図、第2図は本発明の第2の実施例に係るダイナミックRAMの要部を示す回路図である。

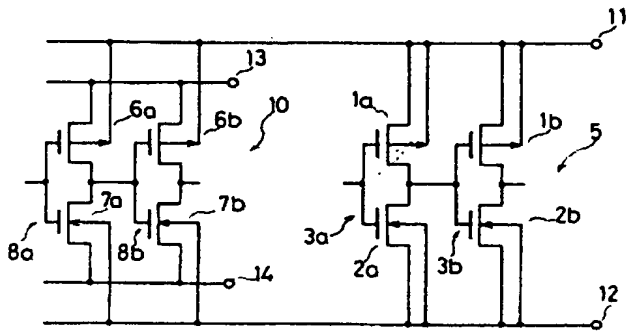
1a、1b；第1のPチャネルMOSトランジスタ、2a、2b、24；第1のNチャネルMOSトランジスタ、3a、3b、8a、8b；CMOSインバータ回路、5、25；入出力回路、6a、6b；第2のPチャネルMOSトランジスタ、7a、7b、27a、27b；第2のNチャネルMOSトランジスタ、10、28；内部回路、11、21；第1の高位側電源端子、12、22；第1の低位側電源端子、13、26；第2の高位側電源端子、14；第2の低位側電源端子、23a、23b；PチャネルMOSトランジスタ、2

8；メモリセル、30；キャパシタ、31；ビット線、32；ワード線、33；基板バイアス発生ブロック

出願人 日本電気株式会社

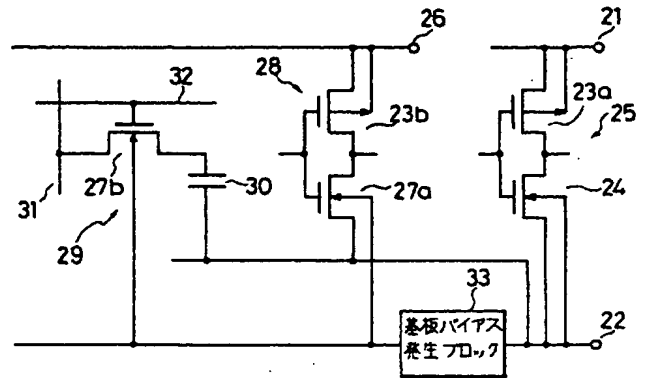
代理人 弁理士 藤巻正憲

- 1a, 1b; 第1のPチャネルMOSトランジスタ
 2a, 2b; 第1のNチャネルMOSトランジスタ
 3a, 3b, 8a, 8b; CMOSインバータ回路
 5; 入出力回路
 6a, 6b; 第2のPチャネルMOSトランジスタ
 7a, 7b; 第2のNチャネルMOSトランジスタ
 10; 内部回路
 11; 第1の高位側電源端子
 12; 第1の低位側電源端子
 13; 第2の高位側電源端子
 14; 第2の低位側電源端子



第 1 図

- 21; 第1の高位側電源端子
 22; 第1の低位側電源端子
 23a, 23b; PチャネルMOSトランジスタ
 24; 第1のNチャネルMOSトランジスタ
 25; 入出力回路
 26; 第2の高位側電源端子
 27a, 27b; 第2のNチャネルMOSトランジスタ
 28; 内部回路
 30; キャパシタ
 31; ビット線
 32; ワード線
 33; 基板バイアス発生ブロック



第 2 図